# EXAMEN - DISEÑO DE CIRCUITOS INTEGRADOS DIGITALES

**ING. MARIANO MOREL**

**MAESTRÍA EN CIENCIAS DE LA INGENIERÍA – FIUBA**

**Ejercicio 1**

**A - Implemente el código RTL de un sincronizador para N bits de palabra de datos y un largo L de cantidad de flip-flops de resolución. El protocolo de handshaking debe ser de dos fases**.

module sincronizador (

input wire clk\_src, // Reloj del dominio de lanzamiento

input wire clk\_dst, // Reloj del dominio de captura

input wire [N-1:0] data\_in, // Datos de entrada en el dominio de lanzamiento

output reg [N-1:0] data\_out, // Datos de salida en el dominio de captura

input wire req, // Señal de solicitud del protocolo de handshaking

output reg ack // Señal de reconocimiento del protocolo de handshaking

);

parameter N = 8; // Número de bits en la palabra de datos

parameter L = 2; // Largo de flip-flops de resolución

reg [N-1:0] data\_sync [L-1:0]; // Arreglo para los flip-flops en el sincronizador

integer i;

always @(posedge clk\_src) begin

if (req) begin

data\_sync[0] <= data\_in; // Primera etapa del sincronizador

end

end

always @(posedge clk\_dst) begin

for (i = 1; i < L; i = i + 1) begin

data\_sync[i] <= data\_sync[i-1]; // Cadena de flip-flops de sincronización

end

data\_out <= data\_sync[L-1];

ack <= req; // Protocolo de handshaking

end

endmodule

**B- Suponga un proceso CMOS con los siguientes parámetros:**

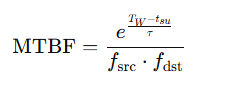
**TW = 75ns**

**τ0 = τ / (A − 1) = 0,23ns**

**tsu = 1ns**

**Si la frecuencia de operación del launching domain es de 20MHz y produce datos al mayor throuput posible, mientras que la frecuencia de operación capturing domain es de 200MHz, dimensione el/los sincronizador/es para un MTBF de 10 años.**

Para calcular el número de etapas de flip-flops necesarias en el sincronizador (L) para obtener el **Mean Time Between Failures (MTBF)** deseado de 10 años en el cruce de dominios de reloj, usamos la fórmula de MTBF para un sincronizador asíncrono en un proceso CMOS.



* TW​: Tiempo de ventana (setup + hold time) para la captura
* τ: Constante de resolución delsincronizador
* tsu​: Setup time del flip-flop
* fsrc​: Frecuencia del dominio de lanzamiento (20 MHz).
* fdst​: Frecuencia del dominio de captura (200 MHz).

MTBF (segundos) = 315.576.000 s --> incluye un día más por año bisiesto

Haciendo los cálculos correspondientes:

Valor requerido, despejando de la ecuación de MTBF:

TW​−tsu = 12.76ns

Valor actual, haciendo la resta directamente de los datos dados:

TW−tsu = 74 ns

Dado que el valor actual excede el valor requerido, **solo una etapa de flip-flop en el sincronizador es suficiente** para garantizar un MTBF de 10 años en este caso.

**C- Como se modificaría el MTBF manteniendo el mismo largo L pero teniendo 4 inversores en los lazos de cada flip-flop de resolución?**

Si agregamos 4 inversores en los lazos de cada flip-flop de resolución, esto afecta la constante de resolución del sincronizador τ ya está relacionada con la capacidad del circuito para resolver estados de meta-estabilidad. En un flip-flop, el lazo de realimentación que determina su estabilidad y velocidad de resolución está afectado por la cantidad de inversores, que incrementan la constante de tiempo de τ

Si consideramos que cada inversor contribuye linealmente al aumento de τ, entonces la nueva τ puede calcularse en función del número de inversores adicionales.

Supongamos que cada inversor añade una cantidad proporcional a la τ original. Entonces, si se agregan 4 inversores, la nueva constante de resolución podría aproximarse como:

τnew = τ (1 + k x ninv)

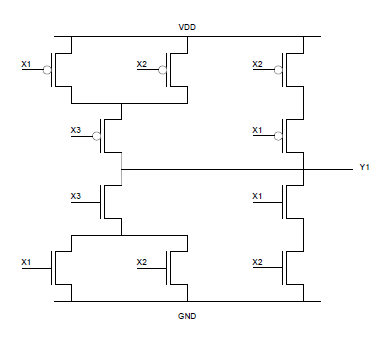
k: Factor de aumento de la constante de resolución por cada inversor

Como ejemplo, se asume un **incremento del 10% por cada inversor** en la constante de resolución. Con **4 inversores adicionales**, tenemos un τnew​ un 40% mayor que la τ original.

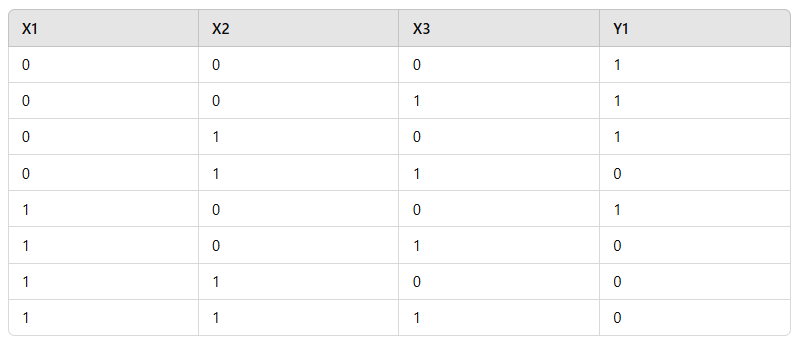
El MTBF daría mucho mayor a los 10 años, por lo que el sincronizador tendría nuevamente una probabilidad extremadamente baja de fallar en el cruce de dominios de reloj

**Ejercicio 2**

1. **Determine la función lógica del siguiente circuito:**



La tabla de verdad es:



Con las simplificaciones correspondientes aplicando algebra de Boole, la función lógica queda:



O lo que es equivalente por De Morgan a:



1. **Si para un proceso se cumple que el inversor es simétrico cuando Wp = 3Wn, dimensione los transistores para que la compuerta posea el mismo logical effort por entrada. Cual es dicho logical effort?**

Se parte del circuito anterior, con la relación del inversor simétrico Wp = 3Wn.

Por otro lado Wp = K x Wn (mismo L), representa la relación de anchos entre NMOS y PMOS, asumiendo un K=2.

Lo que se necesita es lo siguiente: mirando el circuito, quiero que la resistencia equivalente que presenta el paralelo de los transistores PMOS con entradas X1 y X2, en serie con el transistor con entrada X3, sea igual a su versión NMOS. Para que esto sea posible, las resistencias de los transistores PMOS con entradas X1 y X2, deben ser de valor R y para el transistor con entrada X3, debe ser R/2. Sabiendo que si reduzco la resistencia a la mitad, la capacidad se duplica, para los dos primeros será igual a la Cinv x K y para el restante Cinv x k x 2.

Para la versión pull-down NMOS, será lo mismo sin afectar la capacidad por K.

Para la parte derecha del circuito, el razonamiento es similar, por lo que queda, para los transistores PMOS, dos resistencias en serie R/2 cada una, lo mismo para la versión NMOS. Así las capacidades de entrada serán para cada PMOS, Cinv x k x 2 y para cada NMOS, Cinv x 2

Utilizando la relación g = Cin/Cinv, la capacidad de entrada, el logical effort de cada entrada y el total queda:

CinX1 = 2 + 1 + 4 + 2 = 9

CinX2 = 2 + 1 + 4 + 2 = 9

CinX3 = 4 + 2 = 6

gX1 = 9/3 = 3

gX2 = 9/3 = 3

gX3 = 6/3 = 2

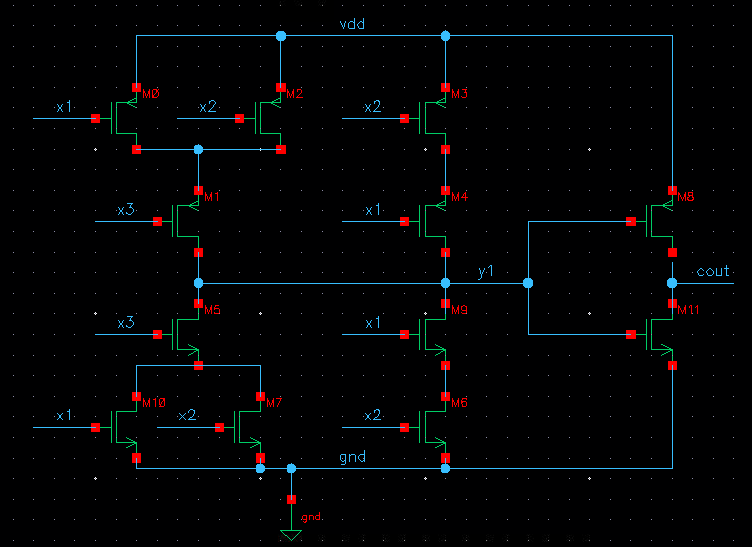
gtotal = 3 + 3 + 2 = 8

1. **Cuál es la combinación de entradas qué produce máximo delay y cuál produce mínimo delay.**

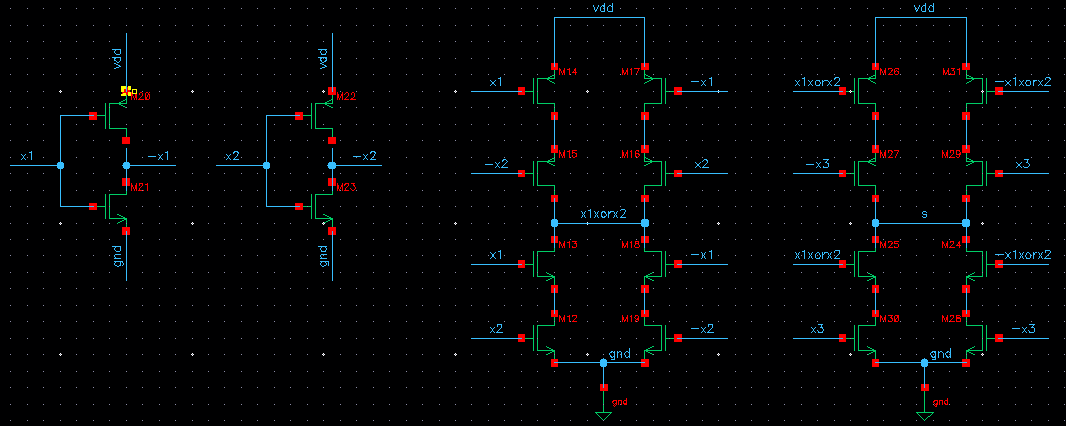
Si pensamos a la función lógica divida en dos ramas, tendríamos la rama de la NAND con (-X1).(-X2) y la otra rama como otra NAND compuesta por (-X3).(X1 XOR X2). El máximo delay se puede conseguir cuando ambas ramas cambian a activo alto. Esto sucede por ejemplo cuando X1=X2=1 y X3=0. En el caso del mínimo delay, deberíamos tener una rama en activo alto, cuya combinación puede ser X1=X2=0 y X3=1

1. **Utilice el circuito anterior en la implementación de un Full-Adder.**

El siguiente circuito representa el Cout de un F-A

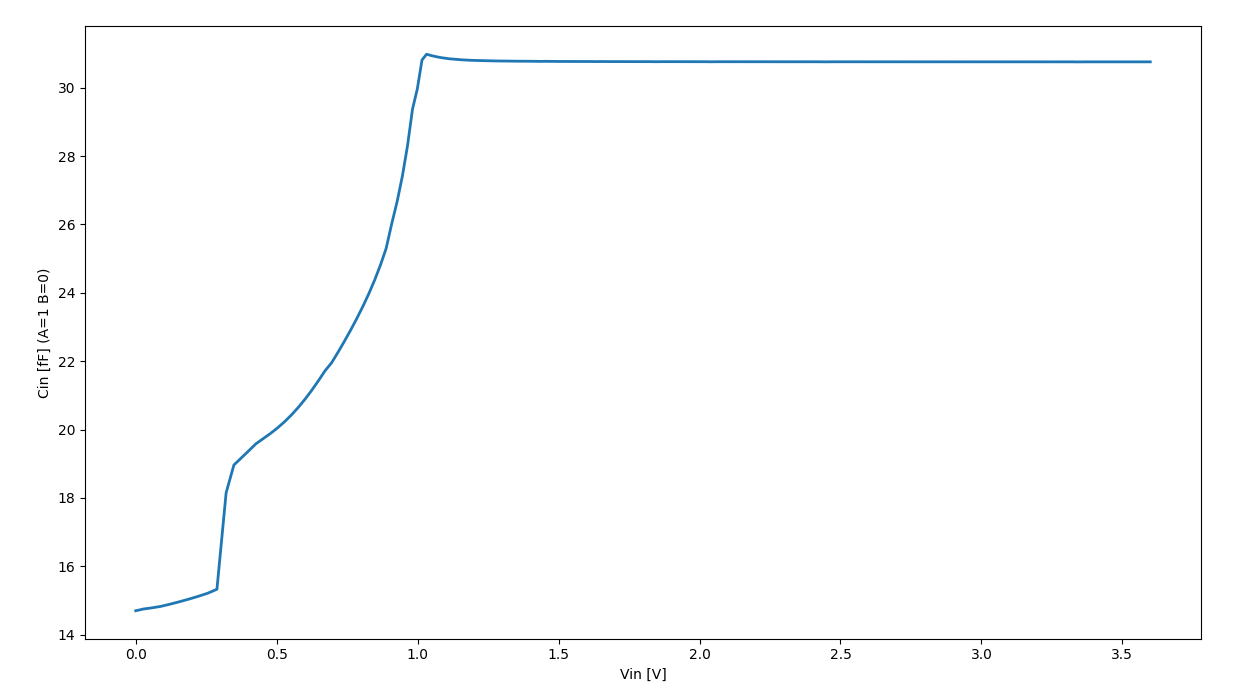


El siguiente circuito representa S de un F-A



**Ejercicio 3**

1. **Para una compuerta NAND simétrica de 2 entradas y tamaño mínimo, determine la capacidad de entrada mediante simulación.**



1. **Si a la salida se la carga con una capacidad C que puede valer entre 10fF y 100fF, determine un modelo de energía consumida en cada transición considere sólo el peor caso de combinación de entradas). Considere que las entradas están alimentadas por una fuente de tensión ideal (escalón) con resistencia equivalente de 10k.**

Para la transición de las dos entradas de alto a bajo (peor caso), el modelo de energía para 10fF y 100fF por simulación es:

Energía entregada por la fuente (C\_L=10fF): 1.7152773405812274e-14

Energía almacenada en el capacitor (C\_L=10fF): 3.125e-14

Energy\_cap/Energy\_supply (C\_L=10fF): 1.8218628125414886

Energía entregada por la fuente (C\_L=100fF): 1.2316166322602024e-14

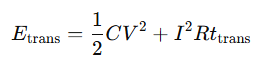
Energía almacenada en el capacitor (C\_L=100fF): 3.1250000000000003e-13

Energy\_cap/Energy\_supply (C\_L=100fF): 25.373155234719054

**Energía Consumida por Transición**: La energía consumida en cada transición se puede modelar usando la fórmula de energía para cargar y descargar una capacitancia (V es la tensión de la fuente de alimentación de la compuerta):



**Modelo de Consumo de Energía con Capacitancia de Entrada y Resistencia**: La potencia disipada durante el cambio de estado se puede calcular considerando la corriente que circula a través de los transistores y la resistencia, aunque este último término podría despreciarse.



**Ejercicio 4**

**Para el siguiente circuito, halle los tiempos de propagación para max delay y min delay del path V2-J considerando los timing windows de las señales V1,V2,V3. Considere las resistencia de las conexiones despreciables frente a las resistencia de salida de los inversores**

**NODO V2**

SlewIN = 125ps

CIN = 2fF

SlewOUT = 113ps

Delay = 120.5ps

**NODO G**

SlewIN = 113ps

CinMAX = 7fF = (C9 + 2(C5 + C3))

CinMIN = 3fF = (C9)

SlewOUTMAX = 114.6ps

SlewOUTMIN = 111.6ps

DelayMAX = 125.12ps

DelayMIN = 120.08ps

**NODO H**

SlewINMAX = 114.6ps

SlewINMIN = 111.6ps

CinMAX = 7fF = (C10+ 2(C4) + C6)

CinMIN = 5fF = (C10 + C6)

SlewOUTMAX = 114.92ps

SlewOUTMIN = 112.32ps

DelayMAX = 125.5ps

DelayMIN = 122.32ps

**NODO I**

SlewINMAX = 114.92ps

SlewINMIN = 112.32ps

Cin = 2fF = CINV

SlewOUTMAX = 110.98ps

SlewOUTMIN = 110.46ps

DelayMAX = 119.09ps

DelayMIN = 118.72ps

**DELAY MAXIMO = 490.21ps**

**DELAY MINIMO = 481.62ps**